

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Chung et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FABRICATING CONTACTS FOR SEMICONDUCTOR
DEVICES UTILIZING A PRE-FLOW PROCESS AND DEVICES MADE
THEREBY**

Date: August 5, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

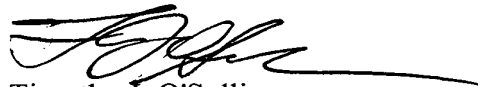
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-00681741, filed December 20, 2002.

Respectfully submitted,



Timothy J. O'Sullivan
Registration No. 35,632

Correspondence Address:

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: 919/854-1400

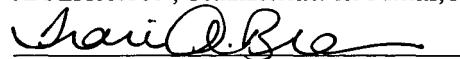
Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353592246US

Date of Deposit: August 5, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail
Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT
APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0081741
Application Number

출원 년 월 일 : 2002년 12월 20일
Date of Application DEC 20, 2002

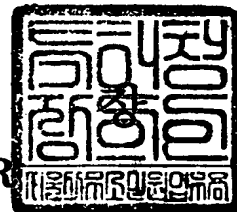
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.12.20
【국제특허분류】	H01L
【발명의 명칭】	실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법
【발명의 영문명칭】	Semiconductor device fabricating method for improving silicon contact resistance
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정은애
【성명의 영문표기】	CHUNG,Eun Ae
【주민등록번호】	741222-2684615
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1041-11 404호
【국적】	KR
【발명자】	
【성명의 국문표기】	이명범
【성명의 영문표기】	LEE,Myoung Bum
【주민등록번호】	640417-1011815

【우편번호】	138-160
【주소】	서울특별시 송파구 가락동 95-1 금호아파트 107-903
【국적】	KR
【발명자】	
【성명의 국문표기】	진범준
【성명의 영문표기】	JIN, Beom Jun
【주민등록번호】	710920-1344211
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동 1-8 경남아파트 8-1202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	778,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법에 관해 개시한다. 본 발명은 제2 불순물형 확산층을 갖는 반도체 기판 전면 상에 층간절연막을 형성하고 제2 불순물형 확산층을 노출하는 콘택홀을 형성한다. 이어서 콘택홀을 채우는 콘택 플러그를 형성하기 전에 제2 불순물형 원소를 포함하는 가스, 예컨대 AsH_3 , PH_3 와 같은 가스를 먼저 흘린다. 따라서 제2 불순물형 확산층에 얇은 접합의 도핑이 이루어져 후속 열처리시 자연산화막의 성장을 억제하고, 에피택셜(epitaxial) 재성장을 촉진시킨다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법{Semiconductor device fabricating method for improving a silicon contact resistance}

【도면의 간단한 설명】

도 1은 본 발명을 설명하기 위해 도시한 반도체 소자의 TEG(Test Element Group) 패턴이 있는 영역의 단면도이다.

도 2는 종래 기술과 비교한 본 발명의 효과를 설명하기 위한 그래프이다.

도 3은 본 발명의 제1 실시예를 설명하기 위한 반도체 소자의 단면도이다.

도 4는 본 발명의 제2 실시예를 설명하기 위한 반도체 소자의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 제1 불순물형 반도체 기판, 101: 프리 플로우 영역(pre-flow region),

110: 제2 불순물형 확산층, 120: 층간절연막,

130: 콘택 플러그, 140: 금속 패턴.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 형성방법에 관한 것으로, 더욱 상세하게는 반도체 소자에서 콘택홀 내부의 접촉저항을 개선할 수 있는 반도체 소자 형성방법에 관한 것이다.

- <10> 최근 반도체 소자가 점차 고집적화 되어 반도체 소자의 구조가 3차원인 구조로 변화됨에 따라 높은 종횡비(aspect ratio)를 갖는 콘택홀 형성에 대한 요구가 대두되고 있다. 그러나 종횡비가 높은 콘택홀은 도프트 폴리실리콘(doped polysilicon)과 같은 도전 물질을 사용하여 내부를 연결할 때 접촉저항이 높아지는 문제점이 있다. 이런 관점에서 바라볼 때, 반도체 소자의 전력 소모를 줄이고, 고속 동작을 위해, 콘택홀 내부에서 접촉저항을 줄이는 기술은 반도체 소자의 성능 개선 측면에서 대단히 중요한 의미를 갖는다.
- <11> 일반적으로 도프트 폴리실리콘을 사용하여 콘택을 연결하는 반도체 소자 형성방법은, p 형 반도체 기판에 게이트 패턴을 형성하고, 상기 게이트 패턴 양옆의 반도체 기판 표면에 소오스/드레인 영역인 n형 불순물 영역을 형성한다. 그 후, 상기 반도체 기판 전면에 층간절연막을 형성하고, 상기 n형 불순물 영역 일부를 노출시키는 콘택홀을 형성한다. 계속해서 상기 콘택홀을 채우는 콘택 플러그(contact plug)를 도프트 폴리실리콘을 사용하여 증착한다. 따라서 상기 콘택 플러그에 의해 반도체 기판 표면의 n형 불순물 영역인 소오스/드레인 영역과 상기 콘택 플러그 상부 막이 서로 전기적으로 연결된다.
- <12> 이때 소오스/드레인 영역과 콘택 플러그와 접촉저항을 줄이기 위해 하부의 소오스/드레인 영역에 계면처리, 예컨대 세정처리를 통하여 접촉저항이 개선하는 방법이 소개된 바 있다. 이에 대한 선행기술이 미합중국 특허 US 5,534,460호(Title: Optimized contact plug process, date: Jul.9, 1996)에 개시되어 있다. 상기 방법은 콘택홀 내부에서 실리콘으로 된 하부막질의 자연산화막을 제거한 후, 상기 콘택홀 내부를 도프트 폴리실리콘으로 된 콘택 플러그로 채우는 방식이다.

【발명이 이루고자 하는 기술적 과제】

- <13> 본 발명이 이루고자 하는 기술적 과제는 실리콘을 사용하여 콘택을 연결하는 반도체 소자의 제조공정에 있어서, 자연산화막의 성장을 억제하고 에피의 재성장을 촉진시켜 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <14> 상기 기술적 과제를 달성하기 위한 본 발명의 일 관점에 의한 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법은, 먼저 제1 불순물형 반도체 기판에 제2 불순물형 확산층을 형성한다. 상기 제2 불순물형 확산층이 형성된 반도체 기판의 전면 상에 층간절연막을 증착한다. 상기 층간절연막을 패터닝하여 상기 제2 불순물형 확산층을 노출시키는 콘택홀을 형성한다. 상기 콘택홀이 형성된 반도체 기판에 제2 불순물형 원소를 포함하는 가스를 흘린다. 마지막으로 상기 콘택홀에 콘택 플러그를 형성한다.
- <15> 본 발명의 바람직한 실시예에 의하면, 상기 제1 불순물형은 P형인 것이 적합하고, 상기 제2 불순물형은 N형인 것이 적합하며, 상기 제2 불순물형 원소를 포함하는 가스는 AsH_3 및 PH_3 중에서 선택된 하나의 가스인 것이 적합하다. 또한, 본 발명의 바람직한 실시예에 의하면, 상기 콘택 플러그는 도프트 폴리실리콘으로 인(phosphorus) 및 비소(Arsenic)와 같은 제2 불순물형 원소가 도핑된 막질인 것이 적합하다.
- <16> 바람직하게는, 상기 제2 불순물형 원소를 포함하는 가스를 흘리는 공정 및 상기 콘택 플러그를 형성하는 공정은 동일 반도체 제조장비의 챔버에서 인시튜(In-situ)로 진행하는 것이 적합하다. 또한 바람직하게는, 상기 AsH_3 또는 PH_3 가스를 흘리는 조건은

400~800℃ 온도에서, $6 \times 10^{-2} \sim 6 \times 10^{-4}$ torr의 챔버 압력으로, 30~180 초의 시간 동안 진행되는 것이 적합하다.

<17> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 측면에 의한 실리콘 접착저항을 개선할 수 있는 반도체 소자 형성방법은, 제1 불순물형 반도체 기판에 제2 불순물형 확산층을 형성한다. 상기 제2 불순물형 확산층이 형성된 반도체 기판의 전면 상에 제1 층간절연막을 증착한다. 상기 제1 층간절연막에 상기 제2 불순물형 확산층을 노출시키는 제1 콘택홀을 형성한다. 상기 제1 콘택홀에 도프트 폴리실리콘을 재질로 하는 제1 콘택 플러그를 형성한다. 상기 제1 콘택 플러그가 형성된 반도체 기판 전면 상에 제2 층간절연막을 증착한다. 상기 제2 층간절연막을 패터닝하여 상기 제1 콘택 플러그를 노출시키는 제2 콘택홀을 형성한다. 상기 제2 콘택홀이 형성된 반도체 기판에 제2 불순물형 원소를 포함하는 가스를 흘린다. 마지막으로 상기 제2 콘택홀에 제2 콘택 플러그를 형성한다.

<18> 본 발명의 바람직한 실시예에 의하면, 상기 제2 불순물형 원소를 포함하는 가스는 AsH_3 및 PH_3 중에서 선택된 하나의 가스인 것이 적합하며, 상기 제2 콘택 플러그는 도프트 폴리실리콘으로 인(phosphorus) 및 비소(Arsenic)와 같은 제2 불순물형 원소가 도핑된 막질인 것이 적합하다.

<19> 또한 본 발명의 바람직한 실시예에 의하면, 상기 제2 불순물형 원소를 포함하는 가스를 흘리는 공정 및 상기 콘택 플러그를 형성하는 공정은 동일 반도체 제조장비의 챔버에서 인시튜(In-situ)로 진행하는 것이 적합하며, 상기 AsH_3 또는 PH_3 가스를 흘리는 조건은 400~800℃ 온도에서, $6 \times 10^{-2} \sim 6 \times 10^{-4}$ torr의 챔버압력으로, 30~180 초의 시간 동안 진행되는 것이 적합하다.

- <20> 본 발명에 따르면, 실리콘을 사용하여 콘택을 연결하는 반도체 소자의 제조공정에
서, 하부막질 표면에 프리 플로우(pre-flow)에 의한 얇은 접합(delta doping)을 실현하여
후속 열처리 공정에서 에피(epi)의 재성장을 촉진시킴으로 말미암아 접촉저항을 개선할
수 있다.
- <21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한
다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가
아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실
시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다. 따라서
아래에 설명되는 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과
장되어진 것이다. 또한 하나의 층의 상하에는 필요에 따라 다른 층이 추가로 개재될 수
도 있다.
- <22> 도 1은 본 발명을 설명하기 위해 도시한 반도체 소자의 TEG(Test Element Group)
패턴이 있는 영역의 단면도이다.
- <23> 도 1을 참조하면, 제1 불순물형 반도체 기판(100), 예컨대 p형 반도체 기판의 TEG
영역에 제2 불순물형 확산층(110)인 n형 확산층을 형성한다. 이어서 산화막 계열의 막
을 이용하여 상기 반도체 기판(100) 위에 층간절연막(120)을 형성한다. 계속해서 상기
층간절연막(120)을 패터닝하여 상기 제2 불순물 확산층(110) 일부를 노출시키는 콘택홀
을 형성한다. 이어서 상기 콘택홀에 도프트 폴리실리콘으로 콘택 플러그(140)를 형성하
되, 하나는 본 발명에 따라 형성하고, 다른 하나는 종래 기술에 따라 형성한다.

- <24> 상기 콘택 플러그(130)와 연결된 제1 TEG 패턴(140A)은, 본 발명의 바람직한 실시예에 따라, 제2 불순물형 원소를 포함하는 가스 예컨대 AsH_3 혹은 PH_3 가스를 프리 플루(pre-flow)하여 프리 플루 영역(101)을 먼저 형성한다. 상기 프리 플루 조건은, $400\sim 800^\circ\text{C}$ 온도에서, $6 \times 10^{-2} \sim 6 \times 10^{-4}$ torr의 챔버압력으로, 30~180 초의 시간동안 진행되는 것이 적합하다. 이어서 인(P) 혹은 비소(As)와 같은 제2 불순물형 원소가 도핑된 도프트 폴리실리콘을 사용하여 상기 콘택홀을 채우는 콘택 플러그(130)를 형성한다. 이때 상기 프리 플루 및 콘택 플러그(130)의 형성은 동일 반도체 장비의 챔버(chamber)에서 인시튜(in-situ)로 진행하는 것이 적합하다.
- <25> 계속해서 상기 콘택 플러그(130) 위에 티타늄(Ti)을 이용한 접착층(미도시)과 질화 티타늄(TiN)을 이용한 장벽층(barrier layer, 미도시)을 형성한다. 상기 접착층 및 장벽층이 형성된 콘택 플러그(130) 위에 텅스텐을 재질로 하는 제1 TEG 패턴(140A)을 형성한다.
- <26> 이어서 상기 콘택 플러그(130)와 연결된 제2 TEG 패턴(140B)에는 종래 기술의 방법을 적용한다. 즉, 상기 콘택홀에 의해 노출된 제2 불순물형 확산층(110)에 계면처리, 예컨대 세정 공정을 실시한다. 이어서 인(P) 혹은 비소(As)와 같은 제2 불순물형 원소가 도핑된 도프트 폴리실리콘을 사용하여 상기 콘택홀을 채우는 콘택 플러그(130)를 형성한다. 계속해서 상기 콘택 플러그(130) 위에 티타늄(Ti)을 이용한 접착층(미도시)과 질화 티타늄을 이용한 장벽층(barrier layer, 미도시)을 형성한다. 상기 접착층 및 장벽층이 형성된 콘택 플러그(130) 위에 텅스텐을 재질로 하는 제2 TEG 패턴(140B)을 형성한다.
- <27> 도 2는 종래 기술과 비교한 본 발명의 효과를 설명하기 위한 그래프이다.

<28> 도 2를 참조하면, X축은 각각의 TEG 패턴의 임계치수(CD: Critical Dimension) 값을 가리키고, Y축은 각각의 임계치수 값에 대한 접촉저항을 가리킨다. 그래프에서 -▼-로 연결된 선(140B)은 종래 기술에 의해 콘택 플러그를 형성한 경우의 접촉저항을 가리키고, -▽-로 연결된 선(140A)은 본 발명에 따라 프리 플루(pre-flow)를 실시한 경우의 접촉저항을 각각 가리킨다. 그래프를 확인하면 TEG 패턴의 임계치수(CD)에 따라 약간의 차이가 있으나 본 발명에 의한 경우(140A)가 종래 기술의 경우(140B)보다 현저하게 접촉저항이 낮아진 것을 확인할 수 있다.

<29> TEG 패턴의 임계치수가 110nm 경우에는 본 발명에 따른 제1 TEG 패턴(140A)의 접촉저항이 종래 기술에 의한 제2 TEG 패턴(140B)과 비교하여 약 20% 개선된 것이 확인되었다. 이것은 프리 플루되었던 제2 불순물형 원소를 포함하는 가스가 하부의 제2 불순물형 확산층 표면에 얇은 깊이로 도핑(delta doping)되어 프리플루 영역(101)을 형성한 것이 개선의 원인으로 추정된다. 상기 프리 플루 영역(101)은 자연산화막의 성장을 억제하고 후속 열처리시 에피(epi)의 재성장을 촉진시켜 저항을 개선한다.

<30> 제1 실시예

<31> 도 3은 본 발명의 제1 실시예를 설명하기 위한 반도체 소자의 단면도이다.

<32> 도 3을 참조하면, 제1 불순형, 예컨대 p형 반도체 기판(200)에 통상의 방법에 따라 소자분리영역(미도시)을 정의하고, 게이트 패턴(222)을 형성한다. 상기 게이트 패턴(222)은 게이트 전극(228), 게이트 상부 절연막(226) 및 캡핑층(capping layer, 224)으로 이루어지며, 필요에 따라 다양한 형태로 변형될 수 있다. 상기 게이트 패턴(222)을 이온주입 마스크로 이온주입 공정을 진행하여 상기 게이트 패턴(222)의 양옆 반도체 기

판(200) 표면에 제2 불순물형, 예컨대 n형 확산층(210)을 형성한다. 상기 제2 불순물형 확산층(210)은 NMOS 트랜지스터의 소오스/드레인 영역에 해당된다.

<33> 이어서 상기 게이트 패턴(222)이 형성된 반도체 기판(200) 위에 층간절연막(220)을 증착하고 에치백(etch back) 혹은 화학기계적 평탄화(CMP: Chemical Mechanical Polishing) 공정을 진행하여 평탄화시킨다. 계속해서 상기 게이트 패턴(222)을 이용하여 자기정렬 방식(Self aligned type)으로 패터닝을 진행하여 상기 제2 불순물형 확산층(210) 일부를 노출하는 콘택홀(SAC)을 형성한다. 상기 콘택홀은 자기정렬 방식이 아닌 방식으로도 형성할 수 있다.

<34> 상기 콘택홀이 형성된 반도체 기판(200)을 저압 화학기상증착(LPCVD: Low Pressure Chemical Vapor Deposition) 장비의 챔버에 넣고 프리 플루를 진행한다. 상기 프리 플루 가스는 제2 불순물형 원소를 포함하는 가스로서 AsH₃를 사용하고, 프리플루 조건은 610℃ 온도에서, 6×10^{-3} torr의 챔버압력으로, 60초 동안 진행하였다. 계속해서 동일 챔버에서 인시튜(in-situ)로 비소(As)가 도핑된 도프트 폴리실리콘을 사용하여 콘택 플러그(230)를 형성한다.

<35> 표1은 본 발명에 의한 프리 플루 공정을 진행한 NMOS 트랜지스터의 소모 전류(On current)와 소오스/드레인 영역의 접촉저항을 측정하여 종래 기술에 따른 NMOS 트랜지스터의 소모 전류(On current) 및 접촉저항과 비교한 결과이다.

<36> 【표 1】

측정항목	본 발명	종래 기술	개선율(%)
소모전류 (on current)	8.44E6 [A]	5.49E6 [A]	54%
접촉저항 (Resistance)	3600 [Ω]	3980 [Ω]	10%

- <37> 표 1을 참조하면, NMOS 트랜지스터의 소모전력(On current) 측면에서는 본 발명은 종래 기술과 비교하여 약 54%의 개선이 있었고, 소오스/드레인 영역에서의 접촉저항은 약 10%의 개선이 있었음을 확인할 수 있다.
- <38> 제2 실시예
- <39> 도 4는 본 발명의 제2 실시예를 설명하기 위한 반도체 소자의 단면도이다.
- <40> 상술한 제1 실시예에서는 단결정 실리콘으로 된 반도체 기판과 도프트 폴리실리콘으로 된 콘택플러그의 접촉저항을 개선하는 것이 주요 내용이었으나, 본 실시예에서는 도프트 폴리실리콘으로 된 제1 콘택 플러그(330)와 도프트 폴리실리콘으로 된 제2 콘택 플러그의 접촉저항을 개선하는 것이 주요 내용이다.
- <41> 도 4를 참조하면, 제1 불순물형 반도체 기판(300)에 소자분리막(302)을 정의한다. 상기 반도체 기판(300) 위에 게이트 전극(328), 게이트 상부 절연막(326) 및 캡핑층(324)으로 이루어진 복수개의 게이트 패턴(322)을 형성한다. 이어서 상기 게이트 패턴(322)을 이온주입 마스크로 제2 불순물형 확산층(미도시), 예컨대 소오스/드레인 영역을 반도체 기판(300) 표면에 형성한다.
- <42> 계속해서, 상기 반도체 기판(300) 위를 충분한 두께로 덮는 제1 층간절연막(320)을 증착한 후 평탄화한다. 상기 제1 층간절연막(320)에 패터닝을 진행하여 상기 제2 불순물형 확산층을 노출시키는 제1 콘택홀을 형성한다. 상기 제1 콘택홀에 제1 콘택 플러그(330)를 형성한다. 상기 제1 콘택 플러그(330)는 비소(As)와 같은 제2 불순물형 원소가 도핑된 도프트 폴리실리콘인 것이 적합하다. 반도체 소자가 메모리 소자인 경우

상기 제1 콘택 플러그(330)가 형성된 반도체 기판 위에 비트 라인(미도시)과 같은 구조를 형성한다.

<43> 계속해서 상기 제1 콘택 플러그(330)가 형성된 반도체 기판(300) 위에 제2 층간절연막(350)을 증착하여 평탄화한다. 상기 제2 층간절연막(350)을 패터닝하여 상기 제1 콘택 플러그(330)를 노출시키는 제2 콘택홀을 형성한다. 상기 제2 콘택홀이 형성된 반도체 기판(300)에 대하여 프리 플루 공정을 진행한다. 즉 상기 제2 콘택홀이 형성된 반도체 기판(300)을 저압 화학기상증착(LPCVD: Low Pressure Chemical Vapor Deposition) 장비의 챔버로 로딩(loading)한다. 이때 프리 플루 가스는 제2 불순물형 원소를 포함하는 가스로서 AsH₃를 사용하고, 프리플루 조건은 610℃ 온도에서, 6×10^{-3} torr의 챔버압력으로, 60초 동안 진행한다. 따라서, 상기 제1 콘택 플러그(330)의 표면에 프리 플루 영역(301)을 형성한다. 계속해서 동일 챔버에서 인시튜(in-situ)로 비소(As)가 도핑된 도프트 폴리실리콘을 사용하여 제2 콘택 플러그(360)를 형성한다.

<44> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<45> 따라서, 상술한 본 발명에 따르면, 실리콘을 사용하여 콘택을 연결하는 반도체 소자의 제조공정에서, 하부막질 표면에 프리 플루(pre-flow)에 의한 얇은 접합(delta doping)을 실현하여 후속 열처리 공정에서 에피(epi)의 재성장을 촉진시킴으로써 접촉저항을 개선할 수 있다.

【특허청구범위】**【청구항 1】**

제1 불순물형 반도체 기판에 제2 불순물형 확산층을 형성하는 공정;

상기 제2 불순물형 확산층이 형성된 반도체 기판의 전면 상에 층간절연막을 증착하는 공정;

상기 층간절연막을 패터닝하여 상기 제2 불순물형 확산층을 노출시키는 콘택홀을 형성하는 공정;

상기 콘택홀이 형성된 반도체 기판에 제2 불순물형 원소를 포함하는 가스를 흘리는 공정; 및

상기 콘택홀에 콘택 플러그를 형성하는 공정을 구비하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 2】

제1항에 있어서,

상기 제1 불순물형은 P형인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 3】

제1항에 있어서,

상기 제2 불순물형은 N형인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 4】

제1항에 있어서,

상기 제2 불순물형 원소를 포함하는 가스는 AsH_3 및 PH_3 중에서 선택된 하나의 가스인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 5】

제1항에 있어서,

상기 콘택 플러그는 도프트 폴리실리콘인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 6】

제5항에 있어서,

상기 도프트 폴리실리콘은 제2 불순물형 원소가 도핑된 막질인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 7】

제6항에 있어서,

상기 제2 불순물형 원소는 인(phosphorus) 및 비소(Arsenic) 중에 선택된 어느 하나인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 8】

제1항에 있어서,

상기 제2 불순형 원소를 포함하는 가스를 흘리는 공정 및 상기 콘택 플러그용를 형성하는 공정은 동일 반도체 제조장비의 챔버에서 인시튜(In-situ)로 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 9】

제4항에 있어서,

상기 AsH₃ 또는 PH₃ 가스를 흘리는 조건은 400~800℃ 온도에서 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 10】

제4항에 있어서,

상기 AsH₃ 또는 PH₃ 가스를 흘리는 조건은 $6 \times 10^{-2} \sim 6 \times 10^{-4}$ torr의 챔버압력으로 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 11】

제4항에 있어서,

상기 AsH₃ 또는 PH₃ 가스를 흘리는 조건은 30~180 초[sec]동안 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 12】

제1 불순물형 반도체 기판에 제2 불순물형 확산층을 형성하는 공정;

상기 제2 불순물형 확산층이 형성된 반도체 기판의 전면 상에 제1 층간절연막을 증착하는 공정;

상기 제1 층간절연막에 상기 제2 불순물형 확산층을 노출시키는 제1 콘택홀을 형성하는 공정;

상기 제1 콘택홀에 도프트 폴리실리콘을 재질로 하는 제1 콘택 플러그를 형성하는 공정;

상기 제1 콘택 플러그가 형성된 반도체 기판 전면 상에 제2 층간절연막을 증착하는 공정;

상기 제2 층간절연막을 패터닝하여 상기 제1 콘택 플러그를 노출시키는 제2 콘택홀을 형성하는 공정;

상기 제2 콘택홀이 형성된 반도체 기판에 제2 불순물형 원소를 포함하는 가스를 흘리는 공정; 및

상기 제2 콘택홀에 제2 콘택 플러그를 형성하는 공정을 구비하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 13】

제12항에 있어서,

상기 제2 불순물형 원소를 포함하는 가스는 AsH_3 및 PH_3 중에서 선택된 하나의 가스인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 14】

제12항에 있어서,

상기 제2 콘택 플러그는 도프트 폴리실리콘인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 15】

제14항에 있어서,

상기 도프트 폴리실리콘은 제2 불순물형 원소가 도핑된 막질인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 16】

제15항에 있어서,

상기 제2 불순물형 원소는 인(Phosphorus) 및 비소(Arsenic) 중에 선택된 어느 하나인 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 17】

제12항에 있어서,

상기 제2 불순물형 원소를 포함하는 가스를 흘리는 공정 및 상기 제2 콘택 플러그를 형성하는 공정은 동일 반도체 제조장비의 챔버에서 인시튜(In-situ)로 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 18】

제13항에 있어서,

상기 AsH_3 또는 PH_3 가스를 흘리는 조건은 $400\sim 800^\circ\text{C}$ 온도에서 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【청구항 19】

제13항에 있어서,

상기 AsH₃ 또는 PH₃ 가스를 흘리는 조건은 $6 \times 10^{-2} \sim 6 \times 10^{-4}$ torr의 챔버압력으로 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

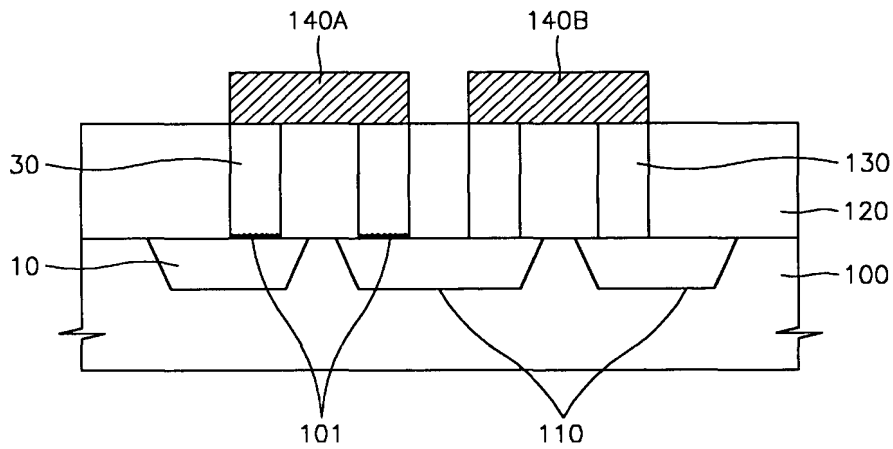
【청구항 20】

제13항에 있어서,

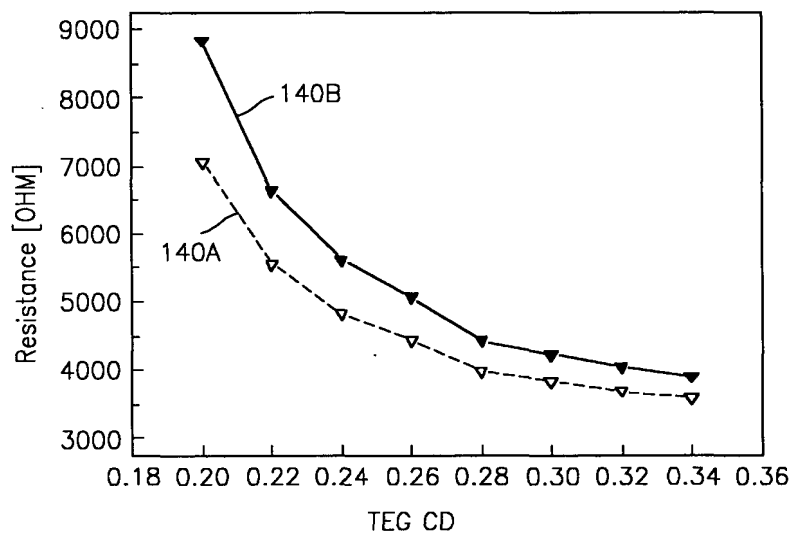
상기 AsH₃ 또는 PH₃ 가스를 흘리는 조건은 30~180 초[sec]동안 진행하는 것을 특징으로 하는 실리콘 접촉저항을 개선할 수 있는 반도체 소자 형성방법.

【도면】

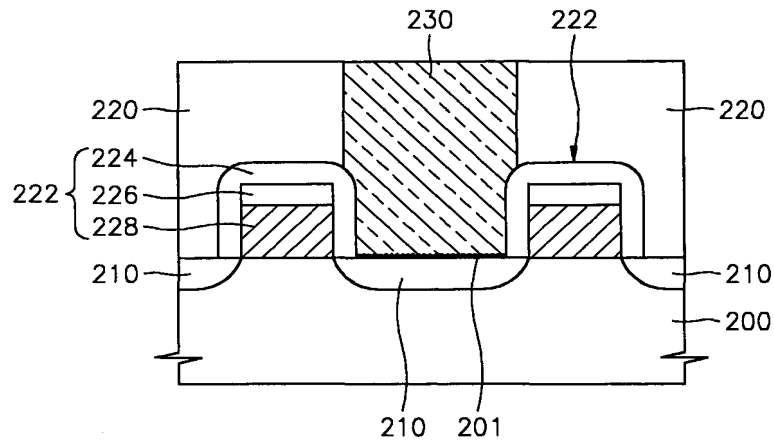
【도 1】



【도 2】



【도 3】



【도 4】

